

A4

(19) RÉPUBLIQUE FRANÇAISE
 INSTITUT NATIONAL
 DE LA PROPRIÉTÉ INDUSTRIELLE
 PARIS

(11) N° de publication :
 (à n'utiliser que pour les commandes de reproduction)

2 674 044

(21) N° d'enregistrement national :

92 03097

(51) Int Cl⁵ : G 06 F 9/34, 12/02

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 16.03.92.

(30) Priorité : 15.03.91 JP 7443391.

(71) Demandeur(s) : Société dite : NEC CORPORATION — JP.

(72) Inventeur(s) : Kitta Mayumi.

(43) Date de la mise à disposition du public de la demande : 18.09.92 Bulletin 92/38.

(56) Liste des documents cités dans le rapport de recherche : Le rapport de recherche n'a pas été établi à la date de publication de la demande.

(60) Références à d'autres documents nationaux apparentés :

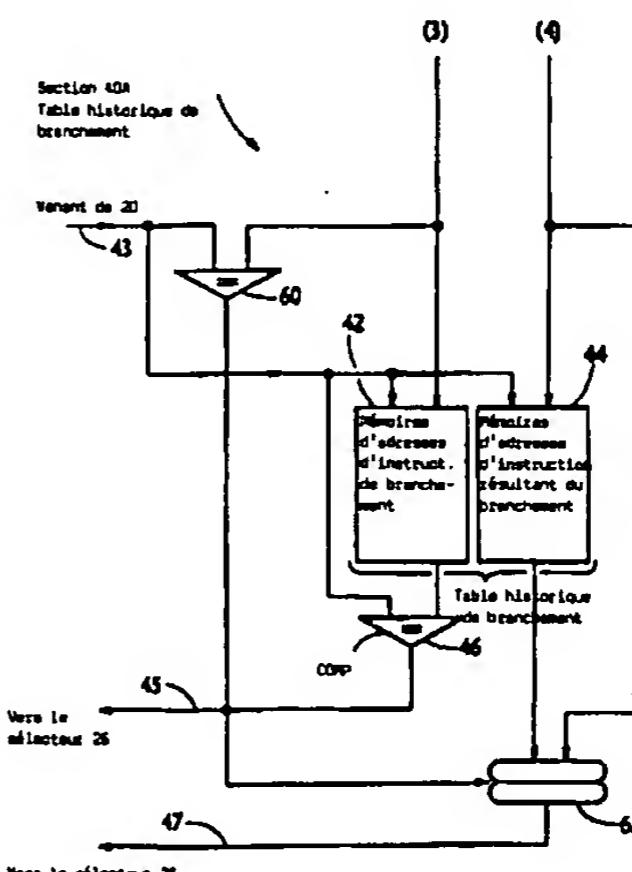
(73) Titulaire(s) :

(74) Mandataire : Société de Protection des Inventions.

(54) Agencement pour prédire une adresse d'instruction résultant d'un branchement dans un système de traitement numérique des données.

(57) L'invention concerne un agencement utilisant des techniques améliorées pour prédire une adresse d'instruction résultant d'un branchement en utilisant une table de données historiques (40A) de branchement (BHT), qui mémorise une pluralité de paires constituées d'une adresse d'instruction de branchement et de l'adresse, correspondante, de l'instruction résultant du branchement.

L'invention s'applique aux ordinateurs à structure pipeline et à antémémoire. L'invention permet de gagner du temps lors de la recherche en antémémoire.



FR 2 674 044 - A1



1 AGENCEMENT POUR PREDIRE UNE ADRESSE D'INSTRUCTION
RESULTANT D'UN BRANCHEMENT DANS UN SYSTEME DE
TRAITEMENT NUMERIQUE DES DONNEES.

5 La présente invention concerne de façon générale un agencement pour prédire une adresse d'instruction résultant d'un branchement en utilisant une table de données historiques de branchement (BHT) dans un système de traitement numérique des données, et
10 de façon plus spécifique concerne un tel agencement grâce auquel on peut prédire une adresse d'instruction résultant d'un branchement indépendamment de l'intervalle de temps au bout duquel la table BHT des données historiques de branchement est renouvelée
15 ou actualisée.

Dans la plupart des processeurs de structure pipeline, des instructions de branchement sont exécutées dans une unité d'exécution. Par conséquent, il y a plusieurs cycles de retard entre le décodage 20 d'une instruction de branchement et son exécution/sa résolution. Dans une tentative de surmonter la perte potentielle de ces cycles, il est connu dans l'art d'estimer, à l'aide d'une table des données historiques de branchement, quelle sera l'instruction, 25 spécifiée par une adresse d'instruction résultant du branchement, qu'il faudra envoyer à l'unité d'exécution.

Avant d'examiner la présente invention, on considère avantageux de discuter brièvement d'une technique 30 connue en se référant aux figures 1-4.

La figure 1 est un diagramme par blocs montrant schématiquement un agencement connu du type auquel la présente invention peut s'appliquer. Comme représenté sur la figure 1, un organe 10 de commande du 35 système est fonctionnellement couplé avec une unité

1 de traitement 12, une mémoire principale 14 et un
organe 16 de commande d'entrée/sortie (I/O).

Un organe 18 de commande des tâches, prévu dans
l'unité de traitement 12, envoie une adresse d'in-
struction initiale d'une tâche donnée, à un registre
5 d'adresses, ayant fait l'objet d'une recherche
à l'avance, d'instructions, par l'intermédiaire d'une
ligne (1). On suppose qu'une antémémoire 22 a déjà
mémorisé la totalité ou une partie de la distribution
10 (séquence) d'instructions de la tâche donnée mentionnée
ci-dessus, en provenance de l'organe 18 de commande
des tâches et par l'intermédiaire d'une ligne (2).
L'antémémoire 22 reçoit, en provenance du registre
d'adresses 20, l'adresse qui a fait l'objet d'une
15 recherche à l'avance et recherche une instruction
spécifiée par cette adresse qui a fait l'objet d'une
recherche à l'avance.

En cas de succès de la recherche en antémémoire,
l'antémémoire 22 envoie l'instruction correspondante
20 à l'organe 18 de commande des tâches ainsi qu'à la
mémoire de microprogrammes 30, l'un et l'autre faisant
partie de l'unité d'exécution 32. La mémoire de micro-
programmes 30 a précédemment mémorisé une pluralité
de microprogrammes pour exécuter une instruction
25 de la tâche donnée qui lui est envoyée. En outre,
l'unité d'exécution 32 comporte une mémoire tampon
34 et un circuit d'exécution 36. La mémoire tampon
34 mémorise les données concernant les opérandes
dans ce cas, tandis que le circuit d'exécution 36
30 applique les microprogrammes en utilisant les données,
concernant les opérandes, qui se trouvent dans la
mémoire tampon 34, sous la commande de l'organe 18
de commande des tâches.

En cas d succès de la recherche en antémémoire,
35 l'antémémoire 22 émet un signal SC-1 de commande

1 du sélecteur qui est envoyé au sélecteur 26 par
l'intermédiaire d'une ligne 24. Un additionneur 28
est prévu pour incrémenter l'adresse d'instruction
relative au succès de la recherche en antémémoire,
5 au moyen d'octets prédéterminés pour en déduire la
nouvelle adresse d'instruction. En termes plus spéci-
fiques, en cas de succès de la recherche en anté-
mémoire, le signal de commande SC1 autorise le
sélecteur 26 à envoyer son contenu dans le registre
10 20 et donc les données concernant la nouvelle adresse
d'instruction sont mémorisées dans le registre 20
des adresses d'instruction ayant fait l'objet d'une
recherche à l'avance.

Au contraire, en cas d'échec de la recherche
15 en antémémoire, le contenu de l'antémémoire 22 est
renouvelé d'une façon bien connue dans l'art.

Comme indiqué ci-dessus, on s'efforce de réduire
la perte de temps en branchement (c'est-à-dire la
perte de cycles) en employant des données historiques
20 centrées sur la recherche d'instruction à l'avance.
Une table BHT des données historiques de branchement
utilise l'adresse de la distribution (c'est-à-dire
le flux) d'instructions, qui a fait l'objet d'une
recherche à l'avance, pour accéder à la table. Si
25 l'on a déjà précédemment rencontré un branchement
à cette adresse, la table des données historiques
de branchement l'indique et, de plus, fournit
l'adresse de l'instruction résultant du branchement
lors de son exécution précédente. Cette adresse de
30 l'instruction résultante du branchement sert à ré-
orienter la recherche, à l'avance, de l'instruction
étant donné la probabilité que le branchement répète
son comportement passé. L'avantage d'une telle
approche est qu'elle présente la possibilité d'éli-
35 miner tous les retards associés aux branchements.

1 Comme représenté sur la figur 1, une section
40, formant table des données historiques de bran-
chement, comporte une table des données historiques
de branchement qui comprend une mémoire 42 de distri-
5 bution d'adresses d'instruction de branchement (BIA)
et les mémoires 44 de distribution d'adresses d'ins-
truction résultant de branchement (BTA). La section
40 formant table de données historiques de branchement
comporte en outre un comparateur 46. La mémoire 42
10 de distribution d'adresses d'instruction de bran-
chement mémorise une pluralité d'adresses d'instruc-
tion de branchement, tandis que la mémoire 44 de
distribution d'adresses d'instruction résultant de
branchement contient une pluralité d'adresses d'ins-
15 truction résultant de branchement qui correspondent,
une à une, aux contreparties mémorisées dans la
mémoire 42. Le registre 20 des adresses d'instruc-
tion ayant fait l'objet d'une recherche à l'avance
envoie aux deux mémoires 42, 44, par l'intermédiaire
20 d'une ligne 43, une adresse d'instruction ayant fait
l'objet d'une recherche à l'avance. Le comparateur
46 est conçu pour comparer l'adresse d'instruction
ayant fait l'objet d'une recherche à l'avance, en
provenance du registre 20, et le signal de sortie
25 (c'est-à-dire l'adresse d'instruction de branchement)
de la mémoire 42. Si le comparateur 46 détecte la
coincidence des deux adresses d'instruction qu'il
reçoit (c'est-à-dire un succès de la recherche à
l'avance), il envoie sur une ligne 45 un signal
30 SC-2 de commande du sélecteur qui indique ce succès
et permet au sélecteur 26 d'envoyer au registre 20
l'adresse correspondante, résultant du branchement,
qui provient de la mémoire 44 par la ligne 47.
Ensuite, l'instruction spécifiée par l'adresse de
35 l'instruction résultant du branchement fait l'objet

1 d'une recherche en antémémoire 22. Au contraire,
dans le cas où le comparateur 46 constate un échec
de la recherche à l'avance, il envoie le signal de
commande SC-2 qui représente cet échec et interdit
5 donc l'envoi au registre 20 du signal de sortie de
la mémoire 44.

L'écriture d'un nouvel élément d'information
de branchement dans la table des données historiques
de branchement BHT (c'est-à-dire l'actualisation
10 de la table BHT) se fait sous la commande de l'organe
18 de commande des tâches. En termes plus spécifiques,
lorsque l'organe 18 de commande des tâches détecte
que le circuit d'exécution 36 ne peut pas exécuter
15 l'instruction résultant du branchement par suite
de la défaillance de la prédiction de l'adresse de
l'instruction résultant du branchement, l'organe
18 de commande des tâches actualise la table BHT
en écrivant dans les mémoires 42, 44, par les lignes
20 (3), (4), une paire, plus vraisemblable, d'adresse
d'instruction de branchement et d'adresse correspon-
dante de l'instruction résultant de ce branchement.

On va maintenant discuter du fonctionnement
de la section 40 formant table des données histo-
riques de branchement BHT en se référant aux figures
25 2A, 2B, 3 et 4.

La figure 2A est un diagramme représentant sché-
matiquement une séquence d'instruction A0 → BR(branche-
ment) → A1 → A2 → A3 → A4 → mémorisée en antémémoire 22.
On suppose que ces six instructions proviennent de
30 l'antémémoire 22 sous forme d'un groupe dont la
longueur est de un mot (octet de 8 bits) et qui
contient deux instructions comme représenté. Par
conséquent, les adresses d'instruction qui se trouvent
du côté gauche sont désignées par "a", "a+8", "a+16",
35 l'adresse "a" étant l'adresse initiale d la séquence

1 d'instructions en question. Il faut comprendre que
l'additionneur 28 incrémente d'un octet de 8 bits
l'adresse qui lui est fournie dans ce cas particulier.
Le groupe, ou les groupes, d'instructions provenant
5 de l'antémémoire 22 sont mémorisés dans une mémoire
tampon convenable (non représentée sur les dessins
joints), et les instructions sont alors séquentiel-
lement envoyées à l'unité d'exécution 32.

La figure 2B est un ordinogramme décrivant une
10 routine qui exécute les instructions précitées
A0-A4 aux pas 50A-50F. Pour permettre une meilleure
compréhension, la figure 2B indique les adresses
des instructions A0-A4 qui se trouvent en antémémoire
22. Comme indiqué, une très petite boucle de bran-
15 chement 52 est établie entre les pas 50A et 50B.

La figure 3 est un diagramme représentant les
opérations, en mode pipeline, incluant cinq étages
désignés par IF, DC, AD, OF et EX. Une ligne qui
va de l'étage AD à l'étage IF correspond à la ligne
20 (1) par laquelle l'adresse d'instruction initiale
(c'est-à-dire "a") est envoyée dans le registre 20
d'adresse ayant fait l'objet d'une recherche à
l'avance. Les étages IF, DC, AD, OF et EX exécutent
les opérations suivantes:

25 (a) IF: recherche, à l'avance, d'une instruction
dans le bloc 20;
(b) DC: Décodage de l'instruction dans le bloc 30.
(c) AD: Génération de l'adresse dans le bloc 18;
(d) OF: Recherche de l'opérande dans les blocs 18, 34;
30 et
(e) EX: Exécution de l'instruction dans les blocs 18,
36.

Dans le cas où l'échec de la recherche à l'avance
de l'adresse d'instruction de branchement apparaît
35 au comparateur 46 de la section 40 formant table

1 des données historiques de branchement BHT,
à l'étage pipeline EX, l'organe 18 de
commande des tâches actualise la table BHT en y
écrivant l'adresse d'instruction de branchement
5 estimée la plus probable possible, ainsi que l'adresse
de l'instruction résultant de ce branchement.

La figure 4 est un chronogramme qui caractérise
les opérations de l'art antérieur aux étages IF,
DC, AD, OF et EX du pipeline représentés sur la
10 figure 3. On suppose que la section 40 formant table
des données historiques de branchement BHT n'a pas
permis le succès de la recherche de l'adresse d'in-
struction de branchement "a+4" (c'est-à-dire qu'il
y a eu échec) à l'instant T0. Par conséquent, le
15 circuit d'exécution 36 ne peut pas, à l'instant T5,
déterminer l'adresse de l'instruction résultant du
branchement. Dans ce cas, les opérations exécutées
à tous les étages IF-EX sont annulées ou invalidées.
Alors, l'organe 18 de commande des tâches procède,
20 à l'instant T6, à l'actualisation en écrivant dans
la mémoire 42 l'adresse "a+4" d'instruction de bran-
chemet ainsi que, dans la mémoire 44, l'adresse
"a" de l'instruction résultant de ce branchement,
et ceci par les lignes (3), (4). Ceci signifie qu'un
25 nouvel échec se produit dans la table BHT 40 à
l'instant T6 du fait qu'au cours de cet intervalle
de temps T6, l'actualisation est en cours.

Les opérations au cours des intervalles de temps
T7-T11 sont donc exactement identiques à celles qui
30 ont eu lieu au cours des intervalles de temps T0-
T5. C'est-à-dire qu'à nouveau le circuit d'exécution
36 est incapable de déterminer, à l'instant T11,
l'adresse "a" de l'instruction résultant du bran-
chemet. A l'instant suivant T12, le comparateur
35 46 détecte le succès et c'est alors que l'adresse

1 "a" de l'instruction résultant du branchement est
envoyée au registre 20 des adresses d'instruction
ayant fait l'objet d'une recherche à l'avance. Par
conséquent, le circuit d'exécution 36 est maintenant
5 capable d'exécuter, à l'instant T17, l'opération
de branchement. Dans le cas mentionné ci-dessus,
il y a perte de 4 cycles au cours des intervalles
de temps T12-T15 (PERTE B) en plus de la perte de
4 cycles au cours des intervalles de temps T6-T9
10 (PERTE A). Ce type de problème se rencontre fré-
quemment lorsque l'unité d'exécution 32 exécute une
séquence de programme incluant de courtes boucles
comme indiqué sur la figure 2B. Ceci provient du
fait qu'avant d'achever l'actualisation de la table
15 BHT, l'instruction de branchement suivante devrait
être exécutée.

En résumé, l'art antérieur précité a rencontré les problèmes
qu'une telle perte de cycles, comme indiqué par
PERTE B se rencontre inévitablement dans le cas où
20 la séquence de programme à exécuter inclut le type
court précité de boucles de branchement.

Au vu de l'inconvénient ci-dessus, un but de
la présente invention est de proposer un agencement
grâce auquel on peut efficacement réduire la perte
25 de cycles machine due à l'échec de la recherche à
l'avance de l'adresse de branchement.

De façon plus spécifique, un aspect de la
présente invention se traduit par un agencement
pour prédire une adresse de l'instruction résultant
30 d'un branchement d'un système de traitement numérique
des données, caractérisé en ce qu'il comporte: des
premiers moyens pour aller chercher à l'avance une
adresse d'instruction d'une séquence d'instructions
donnée; des seconds moyens pour mémoriser une plu-
35 ralité d'adresses d'instruction de branchement,

1 lesdits seconds moyens étant couplés pour recevoir
l'adresse d'instruction qui fait l'objet d'une recher-
che à l'avance et qui est utilisée pour fournir,
en provenance desdits seconds moyens, une adresse
5 d'instruction de branchement coincidant avec elle,
lesdits seconds moyens étant sujets à actualisation
lorsque l'on y écrit une nouvelle adresse d'instruc-
tion résultant du branchement; des troisièmes moyens
pour mémoriser une pluralité d'adresses d'instruction
10 résultant de branchement qui correspondent, une
à une, aux adresses d'instruction de branchement
mémorisées dans lesdits seconds moyens, lesdits troi-
sièmes moyens étant couplés pour recevoir l'adresse
d'instruction qui fait l'objet d'une recherche à
15 l'avance et qui est utilisée pour obtenir par déduction
l'adresse de l'instruction résultant du branchement
qui correspond à l'adresse de l'instruction du bran-
chement qui coincide avec l'adresse d'instruction
qui a fait l'objet d'une recherche à l'avance dans
20 lesdits seconds moyens, lesdits troisièmes moyens
étant sujets à actualisation lorsque l'on y écrit
une nouvelle adresse d'instruction résultant du bran-
chement; des quatrièmes moyens étant conçus pour
comparer une adresse d'instruction de branchement,
25 fournie par lesdits seconds moyens, avec l'adres-
se d'instruction qui a fait l'objet d'une recherche
à l'avance, en provenance desdits premiers moyens,
le résultat de la comparaison effectuée par lesdits
quatrièmes moyens servant à commander la recherche,
30 à l'avance, de l'adresse d'instruction dans lesdits
premiers moyens; des cinquièmes moyens étant conçus
pour comparer l'adresse d'instruction, qui a fait
l'objet d'une recherche à l'avance, en provenance
desdits premiers moyens, avec ladite nouvelle adresse
35 de l'instruction résultant du branchement et pour

1 générer un signal de coincidence/non coincidence, indiquant si, oui ou non, l'adresse d'instruction qui a fait l'objet d'une recherche à l'avance, en provenance des premiers moyens, et la nouvelle adresse
5 de l'instruction résultant du branchement coincident ou ne coincident pas, le signal de coincidence/non coincidence servant à commander la recherche à l'avance de l'adresse d'instruction dans lesdits premiers moyens; et des sixièmes moyens étant conçus pour
10 recevoir l'adresse de l'instruction résultant du branchement, dérivée desdits troisièmes moyens, ainsi que la nouvelle adresse d'instruction résultant du branchement, lesdits sixièmes moyens sélectionnant la nouvelle adresse d'instruction résultant du branchement dans le cas où le signal de coincidence/non
15 coincidence, en provenance desdits cinquièmes moyens indique une coincidence, et sélectionnant l'adresse d'instruction résultant du branchement, dérivée dudit troisième moyen, dans le cas où le signal de coincidence/non coincidence en provenance desdits cinquièmes moyens indique une non-coincidence, le signal de
20 sortie desdits sixièmes moyens étant alors appliqué aux premiers moyens.

On se rendra mieux compte des caractéristiques
25 et des avantages de la présente invention à partir de la description qui suit prise en liaison avec les dessins joints sur lesquels les mêmes portions sont désignées par les mêmes repères et sur lesquels:

30 -la figure 1 est un diagramme par blocs montrant l'agencement de l'art antérieur discuté dans les paragraphes du début du présent exposé;

- la figure 2A est une table illustrant une séquence d'instructions mémorisée dans l'antémémoire représentée sur la figure 1;

35 - la figure 2B est un ordinogramme pour illustrer

1 une routine qui exécute les instructions de la liste
de la figure 2A;

5 - la figure 3 est un diagramme montrant les
opérations en mode pipeline incluant 5 étages IF,
DC, AD, OF et EX;

 - la figure 4 est une chronogramme qui décrit
le type d'opération faisant apparaître le problème
des pertes de cycles machine mentionné ci-dessus;

10 - la figure 5 est un diagramme par blocs montrant
l'agencement qui caractérise une première réalisation
de la présente invention;

15 - la figure 6 est un chronogramme semblable
à celui représenté sur la figure 4, montrant la façon
dont les opérations s'effectuent avec la première
réalisation de la présente invention; et

 - les figures 7 et 8 sont des diagrammes par
blocs montrant les agencements qui caractérisent
la seconde et la troisième réalisations de la présente
invention respectivement.

20 On va discuter, en se référant aux figures 5
et 6, une première réalisation de la présente
invention.

25 La figure 5 est un diagramme par blocs montrant
un agencement d'une section formant table des données
historiques de branchement BHT 40A qui caractérise
la première réalisation. Au point de vue de cet avan-
cement, la section 40A diffère de sa contrepartie
40 (figure 1) en ce sens que la section 40A comporte
en plus un comparateur 60 et un sélecteur 62.

30 Le comparateur 60 comporte deux entrées, dont
l'une est couplée pour recevoir l'adresse d'instruc-
tion ayant fait l'objet d'une recherche à l'avance,
par la ligne 43, tandis que l'autre entrée est direc-
tement couplée à la ligne (3) pour recevoir une
35 nouvelle adresse d'instruction de branchement pro-

1 venant de l'organe 18 de contrôle des tâches dans
le but d'actualiser la table des données historiques
de branchement BHT. Le comparateur 60 a sa sortie
couplée avec le sélecteur 26 par la ligne 45 et aussi
5 avec le sélecteur 62 pour commander son fonction-
nement. Le sélecteur 62 est conçu pour recevoir une
adresse d'instruction résultant du branchement fournie
par la mémoire de distribution d'adresses d'instruc-
tion résultant du branchement BTA ainsi qu'une
10 nouvelle adresse d'instruction résultant du bran-
chement provenant de l'organe 18 de contrôle des
tâches, pour actualiser la table BHT, par l'inter-
médiaire de la ligne (4). On a déjà discuté dans
les paragraphes du début le fonctionnement des autres
15 blocs 42, 44 et 46 de la figure 5 et on en omettra
donc, par souci de brièveté, la description ici.
La figure 6 est un chronogramme qui caractérise le
fonctionnement de la première réalisation aux étages
de structure pipeline IF, DC, AD, OF et EX repré-
sentés sur la figure 3.

Comme dans l'art antérieur, on suppose que la
section 40a formant table des données historiques
de branchement BHT n'a pas réussi, à l'instant T0,
à rechercher l'adresse d'instruction de branchement
25 "A+4". Par conséquent, le circuit d'exécution 36
ne peut pas, à l'instant T5, déterminer une adresse
d'instruction résultant du branchement. Dans ce cas,
les opérations exécutées à tous les étages IF-EX
sont annulées ou invalidées. Puis, à l'instant T6,
30 l'organe 18 de contrôle des tâches procède à l'actua-
lisation de la table BHT en écrivant dans la mémoire
42 de nouvelles données incluant l'adresse d'instruc-
tion de branchement "a+4" et en écrivant également
de nouvelles données incluant l'adresse d'instruction
35 résultant du branchement "a" dans ce cas particulier.

1 Conformément à la première réalisation, le compa-
rateur 60 peut détecter, au cours d'un intervalle
de temps T6, la coïncidence entre l'adresse d'instruc-
tion ayant fait l'objet d'une recherche à l'avance,
5 en provenance du registre 20, et la nouvelle adresse
"a+4" d'instruction de branchement. Par conséquent,
le comparateur 60 émet, au cours du même intervalle
de temps T6, le signal de commande indiquant le succès
de la comparaison (c'est-à-dire la coïncidence) et
10 l'envoie au sélecteur 62. Par conséquent, le sélecteur
62 peut envoyer la nouvelle adresse "a" d'instruction
résultant du branchement au sélecteur 26 par la ligne
47 à l'instant suivant T6. Il faut donc comprendre
que: (a) le circuit d'exécution 36 exécute l'opération
15 de branchement BR à l'instant T11 et (b) la perte
PERTE B (figure 4) inhérente à l'art antérieur peut
s'éliminer conformément à la première réalisation.

On se réfère maintenant à la figure 7 qui
représente, sous forme d'un diagramme par blocs,
20 un agencement d'une seconde réalisation de la présente
invention. En comparaison de la première réalisation
de la figure 5, la seconde réalisation comporte en
outre un premier et un second groupes de mémoires
25 tampons 64, 66. Le premier groupe 64 de mémoires
tampons est constitué de quatre mémoires tampons
(64(1)-64(4)). De même le second groupe 66 de mémoires
tampons comporte quatre mémoires tampons 66(1)-66(4).
La seconde réalisation est bien adaptée au cas dans
lequel il faut quatre intervalles de temps pour écrire
30 dans les mémoires de distribution 42, 44 les données
constituant la nouvelle adresse mentionnée ci-dessus.
Il faut noter que le nombre de mémoires tampons dans
chacun des groupes 64, 66 de mémoires tampons n'est
pas limité à quatre (4) et peut être modifié en faveur
35 de tout nombre en fonction de la conception du système

1 d'ordinateur.

En se reportant maintenant à la figure 8, elle représente sous forme d'un diagramme par blocs une troisième réalisation de la présente invention. La 5 troisième réalisation comporte en outre quatre comparateurs 68(1)-68(4) et un sélecteur 70 en plus de l'agencement de la seconde réalisation. On comprend clairement que lorsque l'un des comparateurs 60 et 68(1)-68(4) détecte une coïncidence entre les données 10 de ses deux entrées, le sélecteur 70 sélectionne les données constituant la nouvelle adresse correspondante à appliquer à la mémoire 44 de distribution d'adresses pour l'opération d'actualisation. Comme dans la seconde réalisation, le nombre de mémoires 15 tampons dans chaque groupes 64, 66 de mémoires tampons n'est pas limité à quatre. La troisième réalisation est très avantageuse en ce sens qu'elle inclut toutes les caractéristiques que l'on a indiqué pour la première et la seconde réalisations, bien que son agencement de matériel informatique soit un peu 20 plus complexe en comparaison des autres.

On comprendra que l'exposé ci-dessus ne représente que quelques unes des réalisations possibles de la présente invention et que le concept sur 25 laquelle l'invention est basée n'y est pas spécifiquement limitée.

REVENDICATIONS

1. Agencement pour prédire une adresse de l'instruction résultant d'un branchement d'un système de traitement numérique des données, caractérisé
5 en ce qu'il comporte:

des premiers moyens (20) pour aller chercher à l'avance une adresse d'instruction d'une séquence d'instructions donnée;

10 des seconds moyens (42) pour mémoriser une pluralité d'adresses d'instruction de branchement, lesdits seconds moyens étant couplés pour recevoir l'adresse d'instruction qui fait l'objet d'une recherche à l'avance et qui est utilisée pour fournir, en provenance desdits seconds moyens, une adresse
15 d'instruction de branchement coincidant avec elle, lesdits seconds moyens étant sujets à actualisation lorsque l'on y écrit une nouvelle adresse d'instruction résultant du branchement;

20 des troisièmes moyens (40) pour mémoriser une pluralité d'adresses d'instruction résultant de branchement qui correspondent, une à une, aux adresses d'instruction de branchement mémorisées dans lesdits seconds moyens, lesdits troisièmes moyens étant couplés pour recevoir l'adresse d'instruction
25 qui fait l'objet d'une recherche à l'avance et qui est utilisée pour obtenir par déduction l'adresse de l'instruction résultant du branchement qui correspond à l'adresse de l'instruction du branchement qui coïncide avec l'adresse d'instruction qui a fait
30 l'objet d'une recherche à l'avance dans lesdits seconds moyens (42), lesdits troisièmes moyens (40) étant sujets à actualisation lorsque l'on y écrit une nouvelle adresse d'instruction résultant du branchement;

35 des quatrièmes moyens (46) étant conçus pour

1 comparer une adresse d'instruction de branchement,
fournie par lesdits seconds moyens (42), avec l'adres-
se d'instruction qui a fait l'objet d'une recherche
à l'avance, en provenance desdits premiers moyens
5 (20), le résultat de la comparaison effectuée par
lesdits quatrièmes moyens (46) servant à commander
la recherche, à l'avance, de l'adresse d'instruction
dans lesdits premiers moyens (20);

des cinquièmes moyens (60) étant conçus pour
10 comparer l'adresse d'instruction, qui a fait l'objet d'une
recherche à l'avance, en provenance desdits premiers
moyens (20), avec ladite nouvelle adresse de l'ins-
truction résultant du branchement et pour générer
un signal de coincidence/non coincidence, indiquant
15 si, oui ou non, l'adresse d'instruction qui a fait l'objet
d'une recherche à l'avance, en provenance des pre-
miers moyens (20), et la nouvelle adresse de l'ins-
truction résultant du branchement coincident ou ne
coincident pas, le signal de coincidence/non coinci-
20 dence servant à commander la recherche à l'avance
de l'adresse d'instruction dans lesdits premiers
moyens (20); et

des sixièmes moyens (42) étant conçus pour
recevoir l'adresse de l'instruction résultant du
25 branchement, dérivée desdits troisièmes moyens (40),
ainsi que la nouvelle adresse d'instruction résultant
du branchement, lesdits sixièmes moyens (62) sélec-
tionnant la nouvelle adresse d'instruction résultant
du branchement dans le cas où le signal de coinci-
30 dence/non coincidence, en provenance desdits cin-
quièmes moyens (60) indique une coincidence, et
sélectionnant l'adresse d'instruction résultant du
branchement, dérivée dudit troisième moyen (40),
dans le cas où le signal de coincidence/non coinci-
35 dence en provenance desdits cinquièmes moyens (60)

1 indique une non-coincidence, le signal de sortie
desdits sixièmes moyens (62) étant alors appliqué
aux premiers moyens (20).

5 2. Agencement comme revendiqué dans la revendi-
cation 1, caractérisé par le fait qu'il comporte
en outre:

10 une pluralité de premières mémoires tampons
(64(1)-64(4)) disposées en série pour retarder l'ap-
plication, auxdits seconds moyens, de la nouvelle
adresse d'instruction de branchement; et

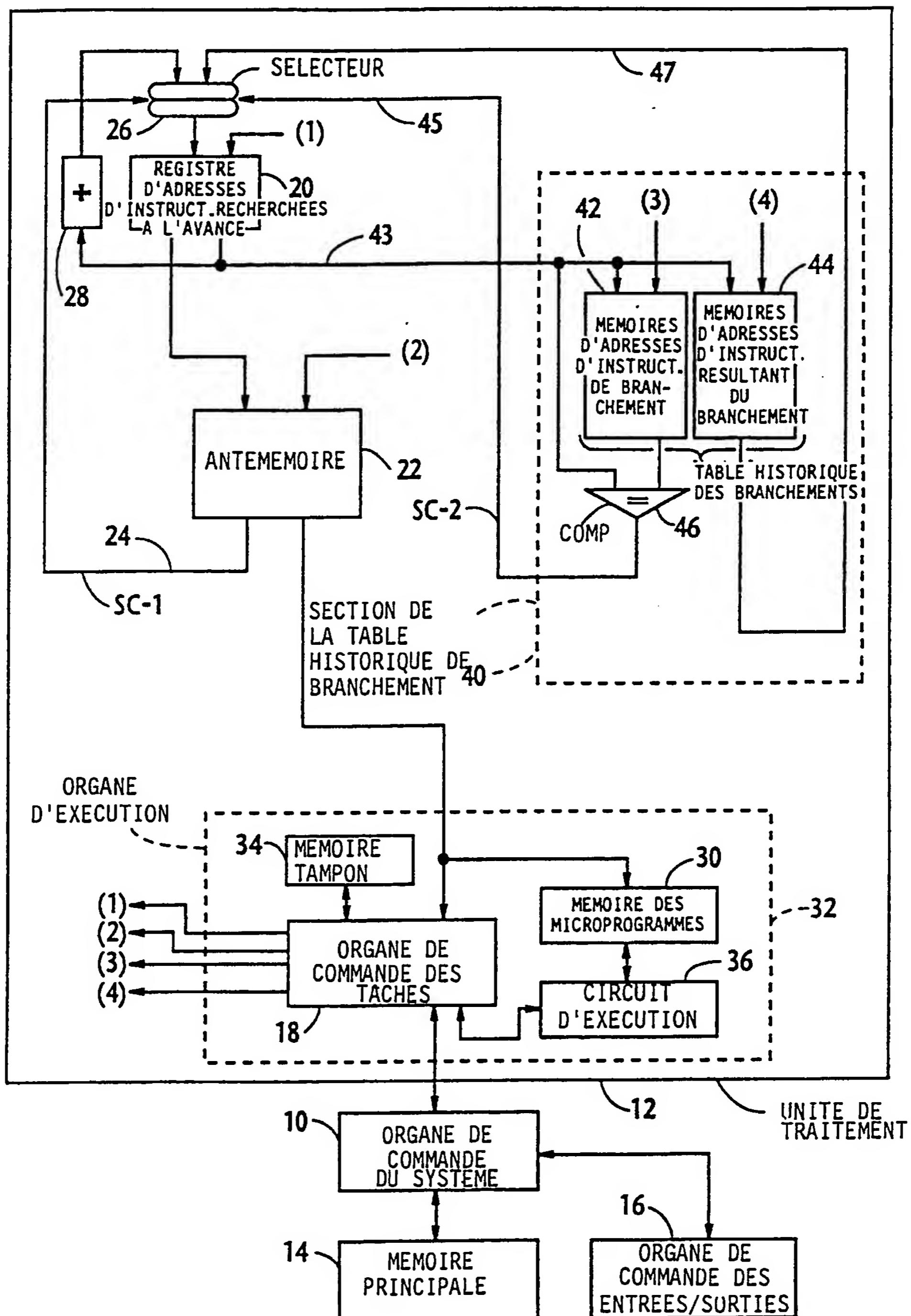
15 une pluralité de secondes mémoires tampons (66-
(1)-66(4)) disposées en série pour retarder l'appli-
cation, auxdits troisièmes moyens, de la nouvelle
adresse de l'instruction résultant du branchement.

20 3. Agencement comme revendiqué dans la reven-
dication 2, caractérisé par le fait qu'il comporte
en outre:

25 une pluralité de comparateurs (68(1)-68(4))
dont chacun est conçu pour comparer l'adresse d'instruction
qui a fait l'objet d'une recherche à l'avance et
provient desdits premiers moyens avec ladite nouvelle
adresse de l'instruction résultant du branchement,
retardée par une ou plusieurs des premières mémoires
tampons; et

30 un sélecteur (70) étant couplé avec ladite se-
conde pluralité de mémoires tampons et ladite pluralité
de comparateurs pour sélectionner une nouvelle adresse
de l'instruction résultant du branchement en réponse
au fait qu'une coincidence a été détectée par l'un
de ladite pluralité de comparateurs et pour entrer
la nouvelle adresse de l'instruction résultant du
branchement, ainsi sélectionnée, dans lesdits sixièmes
moyens.

FIG. 1 (ART ANTERIEUR)



2/8

FIG. 2A

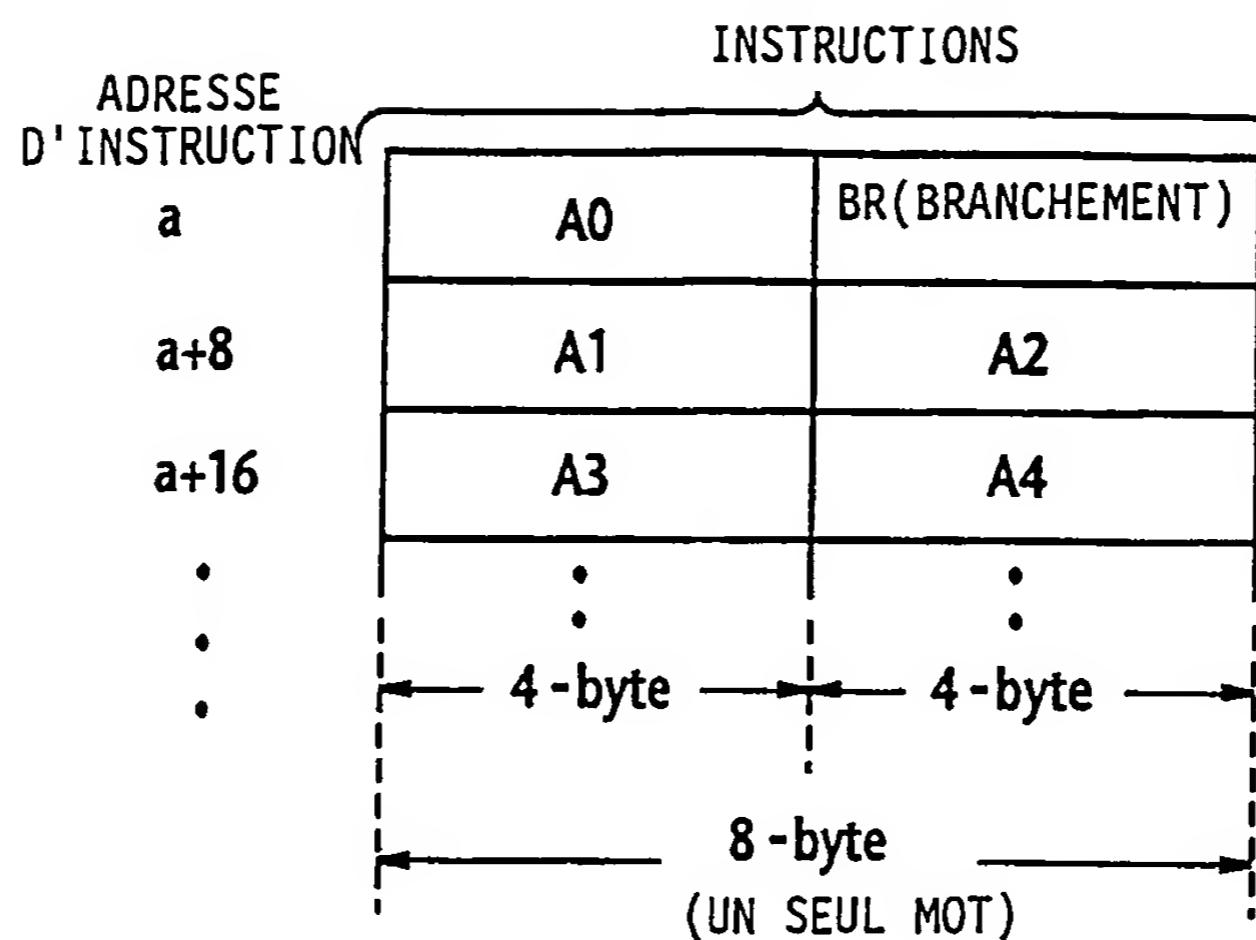
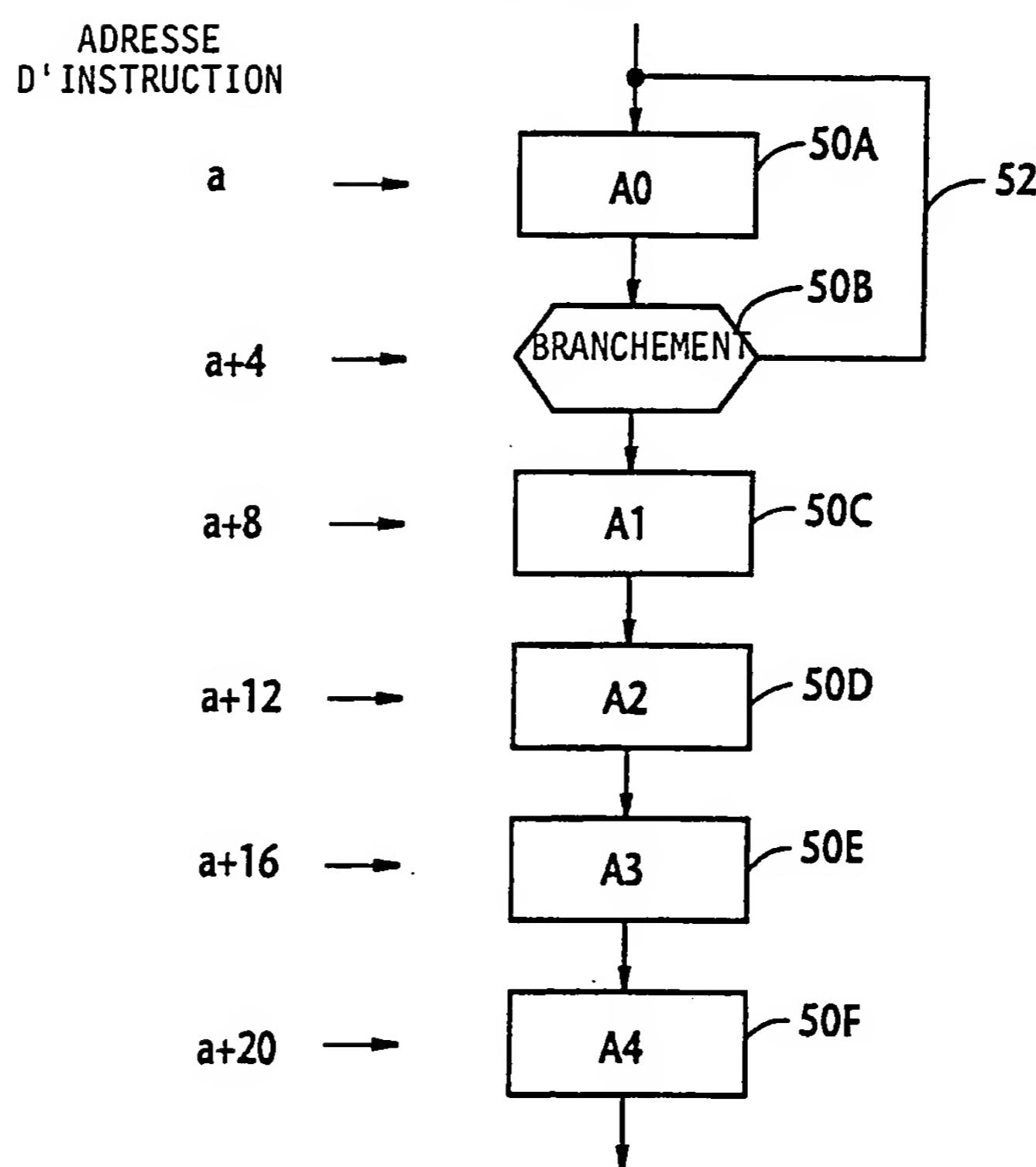


FIG. 2B



3/8

FIG. 3

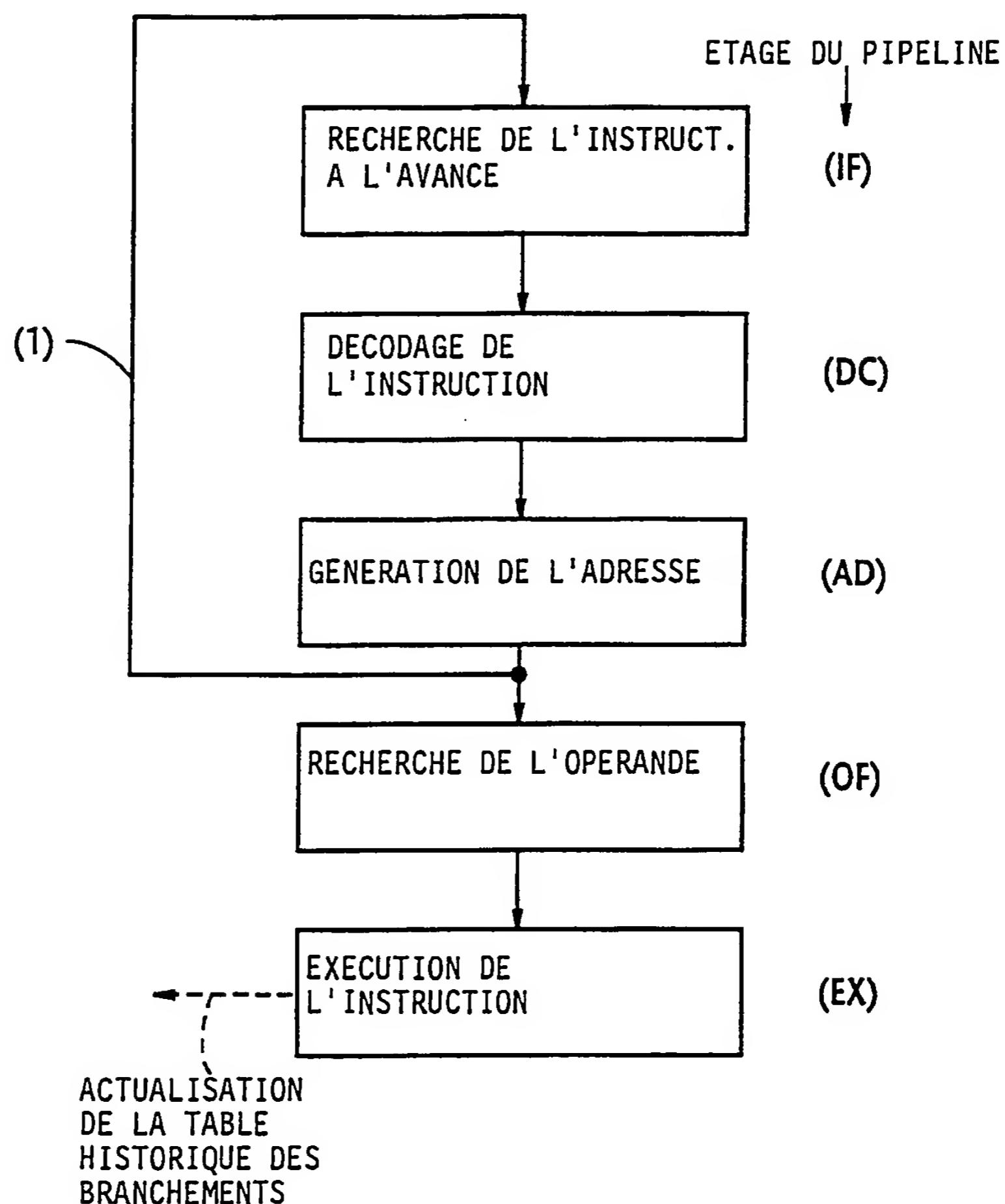
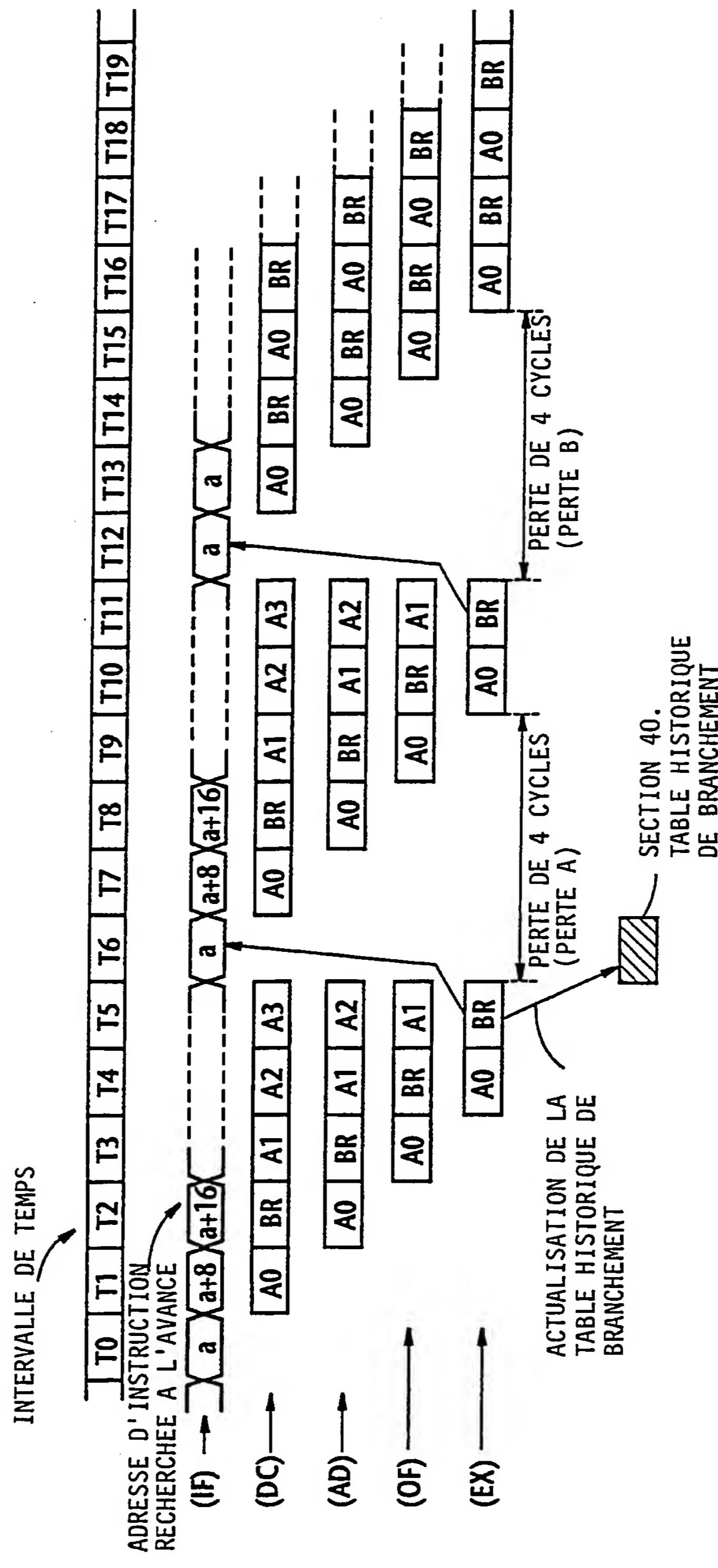
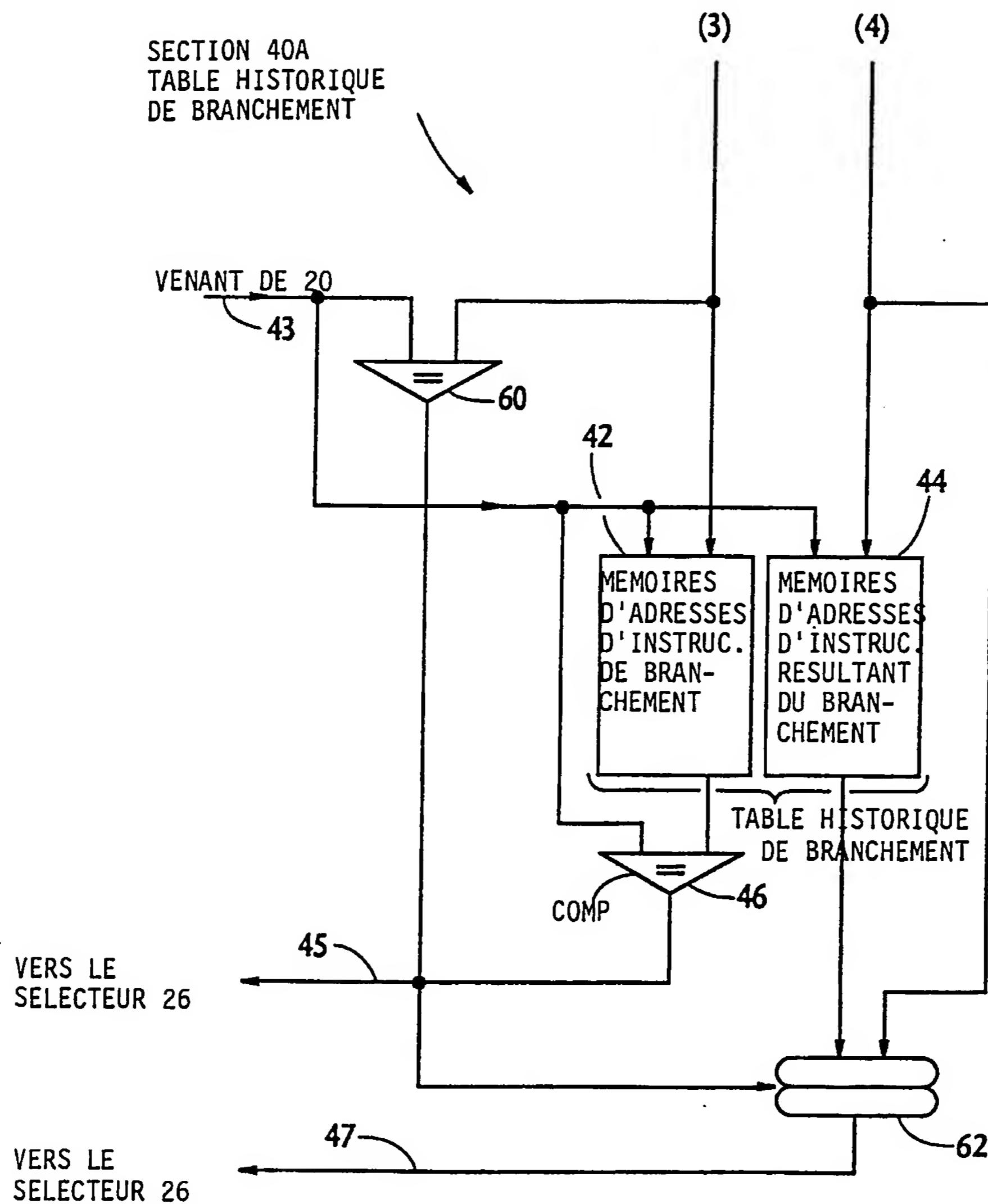


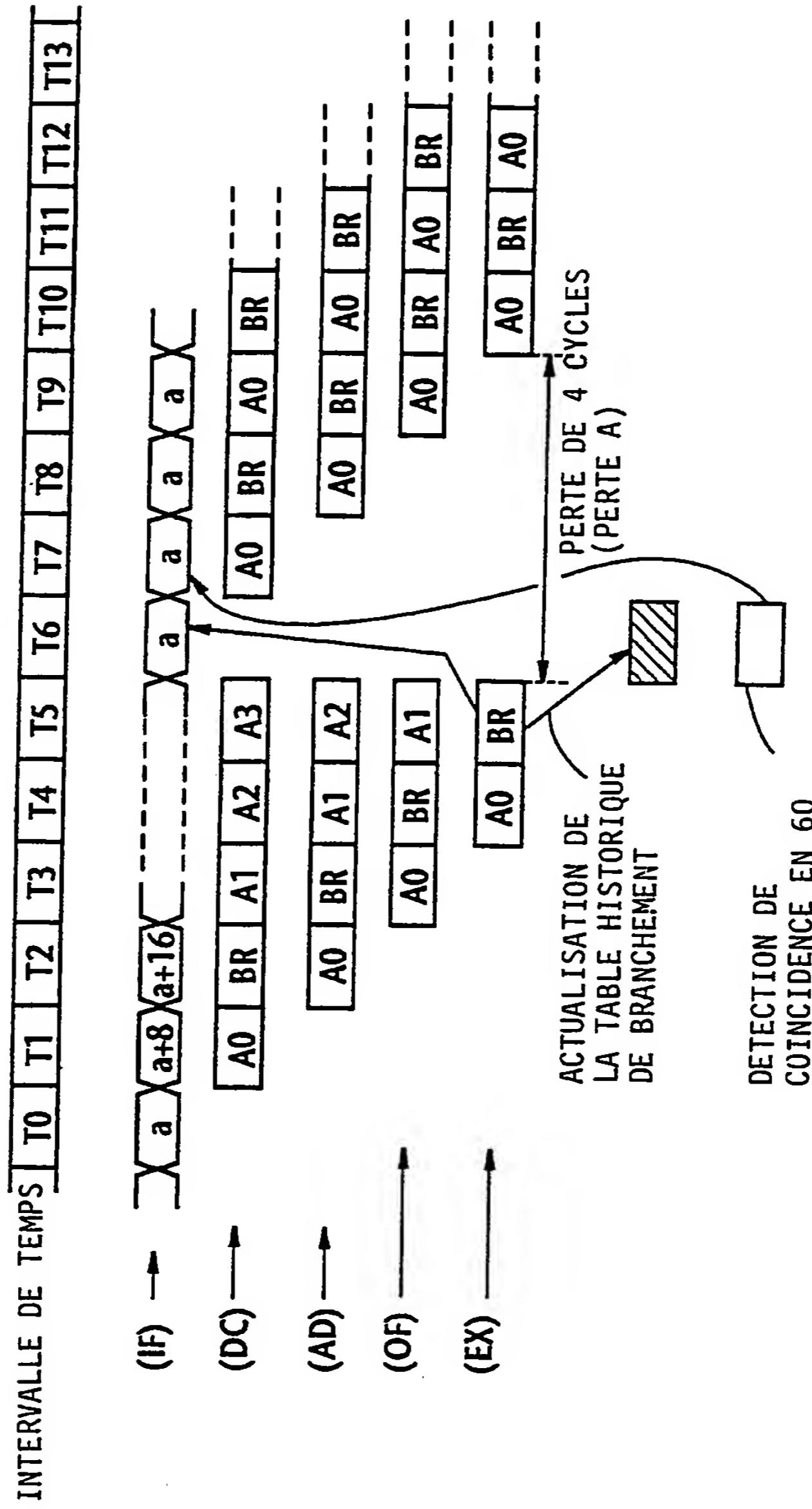
FIG. 4 (ART ANTERIEUR)

5/8

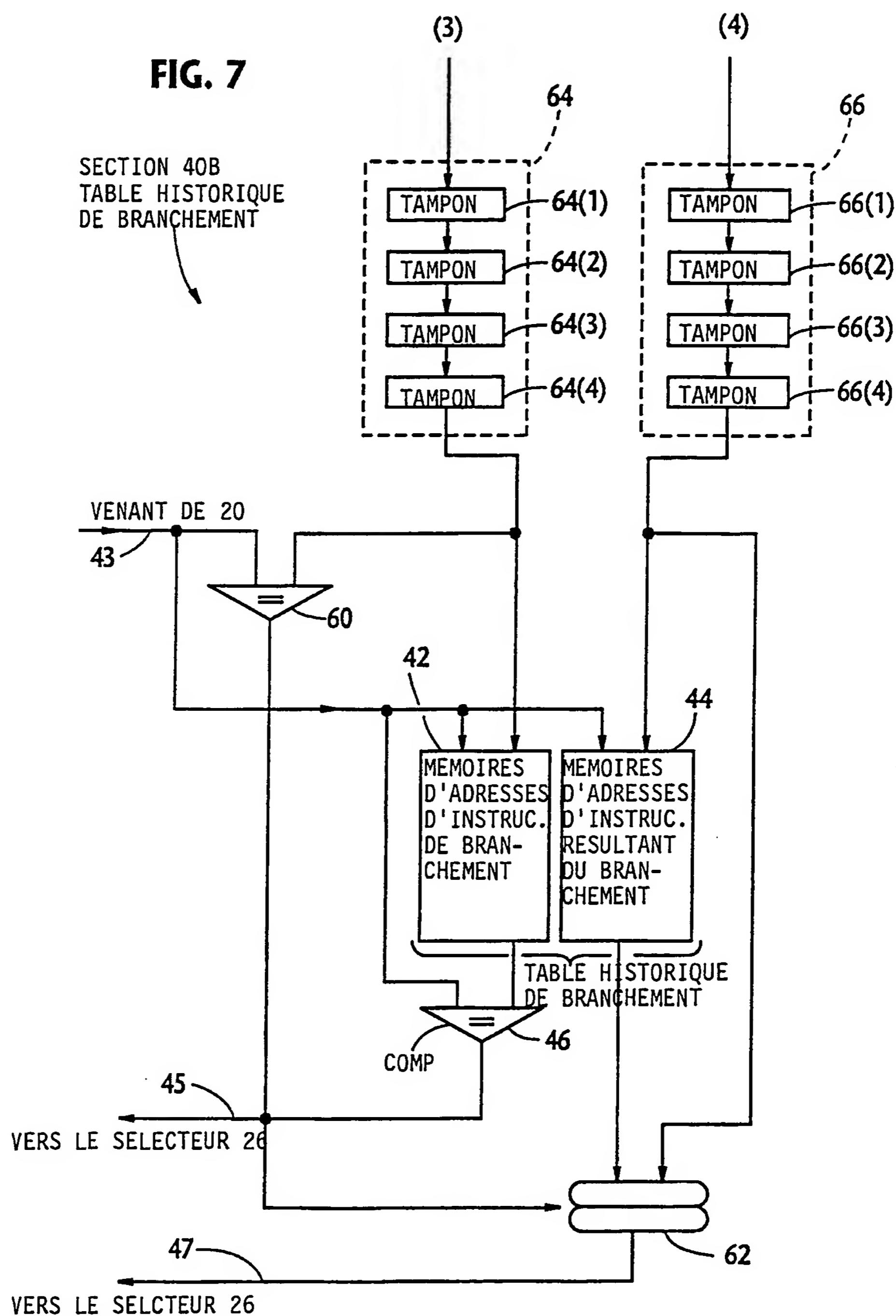
FIG. 5

6/8

FIG. 6



7/8

FIG. 7

8/8

FIG. 8

